

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-095175

(43)Date of publication of application : 05.04.1990

(51)Int.Cl.

H02M 7/48

(21)Application number : 63-244793

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 29.09.1988

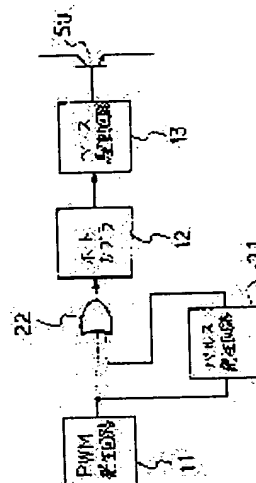
(72)Inventor : TAKIZAWA AKITAKE

(54) METHOD OF CONTROLLING SEMICONDUCTOR SWITCHING ELEMENT

(57)Abstract:

PURPOSE: To avoid the overlapping of snubber currents, and to inhibit even surge voltage applied to a semiconductor switching element by making the pulse width of an ON signal transmitted to the semiconductor element longer than the time required for damping currents made to flow through a snubber circuit.

CONSTITUTION: A pulse generating circuit 21 and an OR element 22 are installed between a PWM generating circuit 11 and a photo-coupler 12, trigger is applied to the pulse generating circuit 21 by the rise of an ON signal when the ON signal is output from the PWM generating circuit 11, and pulses having time width in which snubber currents can be damped sufficiently are generated. Consequently, even when pulses having short time width are output from the PWM generating circuit 11, all of pulses input to the photo-coupler 12 are changed into a signal having pulse width wider than a fixed value. Accordingly, the overlapping phenomenon of snubber currents is eliminated, and a maximum current value made to flow through a snubber circuit can be equalized to a maximum current value at the time of the single switching of one transistor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-95175

⑬ Int. Cl.⁵

H 02 M 7/48

識別記号

K

庁内整理番号

8730-5H

⑭ 公開 平成2年(1990)4月5日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体スイッチ素子の制御方法

⑯ 特 願 昭63-244793

⑰ 出 願 昭63(1988)9月29日

⑱ 発 明 者 滝 沢 聡 毅 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 半導体スイッチ素子の制御方法

2. 特許請求の範囲

1) スナバ回路を付属している半導体素子にスイッチング信号を与えて電力変換を行わせている半導体スイッチ素子の制御方法において、前記半導体素子に与えるオン信号のパルス幅、あるいはオフ信号のパルス幅を、前記スナバ回路に流れる電流が減衰するのに要する時間よりも長くすることを特徴とする半導体スイッチ素子の制御方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、電力変換を行う半導体スイッチ素子と、これに付属するスナバ回路とを小形にできる制御方法に関する。

(従来の技術)

第3図は自己消弧形半導体スイッチ素子で構成した電圧形インバータの一般的な主回路接続図である。

この第3図において、6個の自己消弧形半導体

スイッチ素子としてのトランジスタ5U、5V、5W、5X、5Y、5Zのそれぞれに6個の逆流ダイオード6U、6V、6W、6X、6Y、6Zを逆並列接続し、これらを3相ブリッジ接続することで構成しているトランジスタインバータ3は、直流電源2からの直流電力を、前記6個のトランジスタのオン・オフ動作により交流電力に変換して負荷4に給電している。トランジスタインバータ3が直流を交流に変換するさいに、出力交流に含まれる高調波成分を抑制するには、パルス幅変調(以下ではPWMと略記する)制御が好適であって、多用されている。

第4図はトランジスタをパルス幅変調制御する一般例を示したブロック図である。

この第4図に示すように、PWM発生回路11は高い周波数の搬送波を用いて、制御信号を、この制御信号に対応したパルス幅の信号に変調し、ホトカブラ12で絶縁したのち、ベース駆動回路13を経てトランジスタ5Uをオン・オフ動作させる。

ところでトランジスタインバータ 3 と直流電源 2 との間の回路には配線インダクタンスが存在し、トランジスタのスイッチング動作時に、この配線インダクタンスに蓄積していたエネルギーがサージ電圧となってこのトランジスタのコレクタ・エミッタ間に印加され、これを破壊しようとする。そこで、このスイッチング時に生じるサージ電圧を抑制するために、スナバ回路（第 3 図の場合は符号 7 なるスナバコンデンサ）を設置するのであるが、第 3 図に示すように、スナバコンデンサ 7 のみでスナバ回路を構成すると、スイッチング時にこのスナバコンデンサ 7 の電流と電圧が振動する。

第 5 図は第 3 図に示すスナバコンデンサの電流と電圧の変化を示したタイムチャートであって、第 5 図(イ)はスナバ電流の変化、第 5 図(ロ)はスナバ電圧の変化を、それぞれがあらわしている。

この第 5 図において、 T_1 なる時点でトランジスタがターンオンしたとすると、その直後の時刻 T_1 にスナバ電流の第 1 ピークがあらわれる。こ

- 3 -

は最大負荷電流の約 2 倍であり、これに耐えられるように大容量のトランジスタとスナバ回路とを選定することとなる。それ故トランジスタインバータが大形・高価になる欠点を有する。

そこでこの発明の目的は、スナバ回路に流れる電流の最大値を抑制することで、トランジスタあるいはスナバ回路の容量を低減できるようにすることにある。

〔課題を解決するための手段〕

上記の目的を達成するために、この発明の制御方法は、スナバ回路を付属している半導体素子にスイッチング信号を与えて電力変換を行わせている半導体スイッチ素子の制御方法において、前記半導体素子に与えるオン信号のパルス幅、あるいはオフ信号のパルス幅を、前記スナバ回路に流れる電流が減衰するのに要する時間よりも長くするものとする。

〔作用〕

この発明は、インバータの制御部に、素子に与えるオン又はオフ信号のパルス幅がある設定時間

のスナバ電流と電圧とは振動しているもので、さらに時間が経過して T_1 なる時刻にスナバ電流の第 2 ピークがあらわれ、引続きこの電流は振動しつつ減衰することになる。

〔発明が解決しようとする課題〕

ここで、特定のトランジスタがターンオンしてから所定の時間経過後にターンオフする場合を考えると、この経過時間が第 5 図に示している第 1 ピークと第 2 ピークとの時間間隔と同じになると、電流は第 1 ピーク値に第 2 ピーク値が重畳したスナバ電流となる。

第 6 図はスナバ電流が同期して重畳した場合をあらわしたタイムチャートであって、時刻 T_1 、 T_2 および T_3 は第 5 図と同一の時刻を示している。その結果、スナバ電圧もこれに対応して高い値となる。

そこで従来は、インバータに使用するトランジスタの定格選定や、スナバ回路の設計は、上記の現象を考慮してなされている。たとえば、このような重畳現象が生じたとき、スナバ電流の最大値

- 4 -

より短いとき、オン又はオフ信号の立下りのタイミングを遅延させる回路を設ければ、スナバ回路に流れる最大電流値を減少できることに着目したものであって、このような遅延回路を制御部に設けることによって、トランジスタのターンオン又はターンオフの後、その設定時間内は、そのトランジスタは決してターンオフ又はターンオンできなくなり、その結果、第 6 図に示すスナバ電流の重畳現象は解消され、スナバ回路に流れる最大電流値を 1 つのトランジスタが単独でスイッチングしたときの最大電流値と等しくしようとするものである。

〔実施例〕

第 1 図は本発明の実施例をあらわしたブロック図である。

この第 1 図に示す PWM 発生回路 11、ホトカブラ 12、ベース駆動回路 13 およびトランジスタ 5 U は、第 4 図の従来例回路と同じであるが、本発明においては、パルス発生回路 21 と論理和素子 22 とが、図示のように PWM 発生回路 11

とホトカブラ 12 との間に設けられている。

いま、P W M 発生回路 11 からオン信号が出力されると、その立上りでパルス発生回路 21 にトリガをかけて、これからパルスを発生させる。このパルス発生回路 21 が出力するパルスのパルス幅は、トランジスタが単独でスイッチングしたとき、スナバ電流が十分に減衰できるしなる時間になっている。それ故 P W M 発生回路 11 からより短い時間幅のパルスが出力されても、ホトカブラ 12 に入力するパルスは、すべてしなるパルス幅の信号となり、また P W M 発生回路 11 の出力パルスの幅がより長い場合は、そのままの信号がホトカブラ 12 に入力する。論理和素子 22 はそのためのものである。

第 2 図は第 1 図に示す実施例回路の動作をあらわしたタイムチャートであって、第 2 図(イ)は P W M 発生回路 11 が出力するパルス信号、第 2 図(ロ)はパルス発生回路 21 が出力するパルス信号を、それぞれがあらわしている。

上述の説明は、トランジスタをターンオンさせ

- 7 -

第 1 図は本発明の実施例をあらわしたブロック図、第 2 図は第 1 図に示す実施例回路の動作をあらわしたタイムチャートであり、第 3 図は自己消弧形半導体スイッチ素子で構成した電圧形インバータの一般的な主回路接続図、第 4 図はトランジスタをパルス幅変調制御する一般例を示したブロック図、第 5 図は第 3 図に示すスナバコンデンサの電流と電圧の変化を示したタイムチャート、第 6 図はスナバ電流が同期して重畳した場合をあらわしたタイムチャートである。

2 … 直流電源、3 … トランジスタインバータ、4 … 負荷、5 U ~ 5 Z … 半導体スイッチ素子としてのトランジスタ、6 U ~ 6 Z … 逆流ダイオード、7 … スナバコンデンサ、11 … P W M 発生回路、12 … ホトカブラ、13 … ベース駆動回路、21 … パルス発生回路、22 … 論理和素子。

代理人 井原 山 口 康

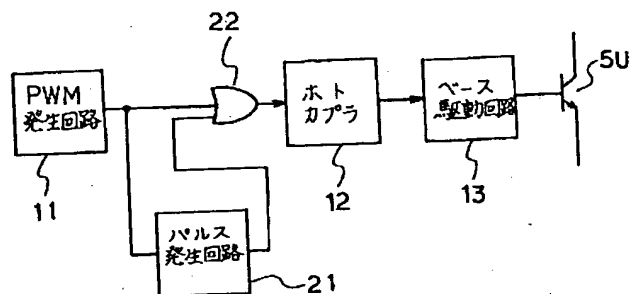
るためのパルスの幅が短い場合であるが、ターンオフのパルス幅が短い場合にも本発明が適用できるのは勿論である。

(発明の効果)

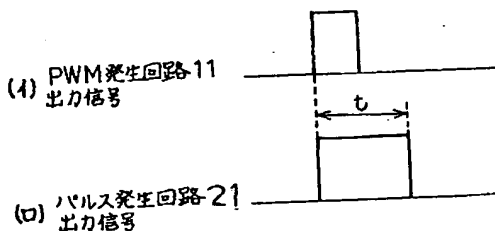
この発明によれば、スナバ回路に流れる振動電流の周期と、半導体スイッチ素子の動作とが一致することでスナバ電流が重畳するのを避けることができる。それ故当該半導体スイッチ素子に印加されるサージ電圧も抑制できる。よって、従来のインバータなどで、サージ電圧の想定値を変えなければスナバコンデンサの容量を低減できるし、スナバ回路を変えなければサージ電圧の最大値を抑制できるので、使用する半導体スイッチ素子の電圧定格を切下げることができる。また、サージ電圧の設定値によっては、スナバコンデンサの容量低減と半導体スイッチ素子の電圧定格の切下げとが両者とも実現できることになり、いずれにしても装置の小形化とコスト低減とを実現できる効果を得る。

4. 図面の簡単な説明

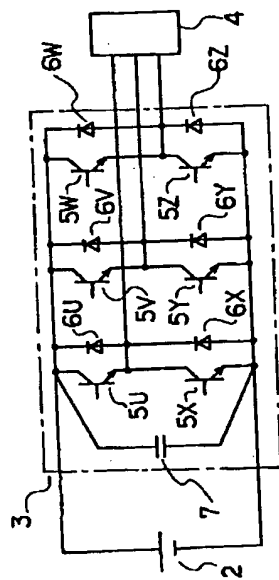
- 8 -



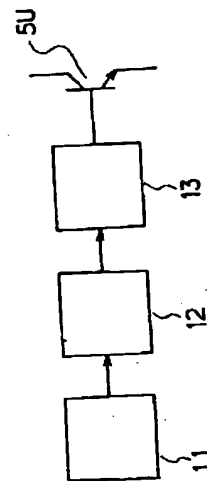
第 1 図



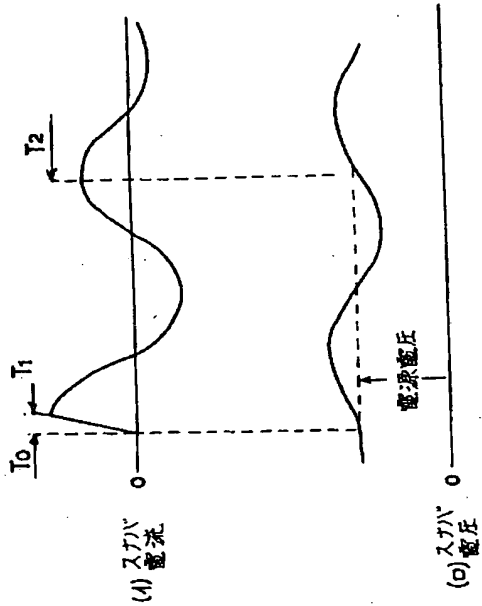
第 2 図



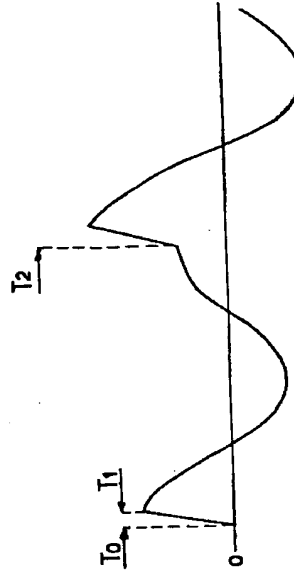
第 3 図



第 4 図



第 5 図



第 6 図